

## **Analisi comparativa delle proprietà dei materiali per eterostrutture**

### ***Comparative analysis of material properties for heterostuctures***

Roberto Marani<sup>◆</sup>, Anna Gina Perri<sup>□</sup>

◆ Istituto di Sistemi e Tecnologie Industriali Intelligenti per il Manifatturiero Avanzato (STIIMA), Consiglio Nazionale delle Ricerche (CNR), Bari, Italia

□ Dipartimento di Ingegneria Elettrica e dell'Informazione (DEI), Politecnico di Bari, Italia

#### **Sommario**

In questo lavoro, dopo una descrizione delle tecniche utilizzate per realizzare le eterostrutture o eterogiunzioni, che, come è noto, sono giunzioni ottenute utilizzando semiconduttori diversi, aventi cioè diverso valore dell'intervallo di banda proibita, presentiamo un'analisi comparativa delle proprietà dei materiali utilizzati, al fine di individuare quelli che meglio si adattano ai diversi campi di applicazione. Infine presentiamo, a titolo di esempio, il progetto di un inverter TFET (Tunneling Field Effect Transistor), le cui prestazioni sono confrontate con quelle di un tipico inverter MOS, al fine di valutare le differenze nelle applicazioni di energia, telecomunicazioni ed elettronica digitale.

#### **Abstract**

In this paper, after a description of the techniques used to realize heterostructures or heterojunctions, which, as known, are junctions obtained using different semiconductors, i.e. having different values of the band gap, we present a comparative analysis of the properties of materials used, in order to identify those that best adapt to the different fields of application. At last we present, as an example, a simulation study of a TFET (Tunneling Field Effect Transistor) inverter, whose performances are compared with those of a typical MOS inverter, in order to evaluate the differences in power, telecommunication and digital electronic applications.

## Keyword

Heterostructure, Materials, Technology, TFET, CMOS, Advanced Design System (ADS).

## 1 - Introduzione

L'elettronica per alte frequenze è stata resa popolare negli ultimi anni dall'avvento di applicazioni come, ad esempio, la telefonia cellulare, e la spinta crescente verso le alte frequenze ha reso pertanto necessario lo studio di nuovi materiali per la progettazione di dispositivi elettronici ed optoelettronici.

Il Silicio, pur essendo considerato un ottimo materiale dal punto di vista tecnologico, non rappresenta il semiconduttore ideale per realizzare dispositivi per alta frequenza. Infatti nel silicio la mobilità dei portatori di carica, sia lacune che elettroni, è relativamente piccola e la massima velocità che questi portatori possono raggiungere sotto elevati campi elettrici è di circa  $10^7$  cm/sec [1-3] e questo comporta una limitazione per i segnali che possono essere trattati quando la frequenza in gioco supera 1 GHz. Inoltre, essendo a band gap indiretto, cioè l'energia minima nella banda di conduzione è spostata di un vettore  $k$  (momento cristallino dell'elettrone) relativo alla banda di valenza, presenta un'efficienza quantica bassa, rendendolo non idoneo per la realizzazione di dispositivi ottici attivi, come i diodi laser.

Molti dei semiconduttori composti III - V, quali, ad esempio, l'Arseniuro di Gallio (GaAs) o il Fosforo di Indio (InP), presentano mobilità e velocità di saturazione più elevate e, in virtù del loro band gap diretto, è possibile realizzare dispositivi ottici più efficienti.

La tecnologia III - V è stata inizialmente frenata da problemi pratici associati alla realizzazione di circuiti integrati a basso costo ed elevati livelli di integrazione, ma, grazie al perfezionamento raggiunto nelle tecniche di accrescimento epitassiale, questi problemi sono stati superati.

Un ulteriore aumento delle prestazioni in frequenza si è ottenuto attraverso l'avvento delle *eterostrutture* o *eterogiunzioni*, cioè contatti tra semiconduttori diversi, aventi quindi diverso valore dell'intervallo di banda proibita.

La famiglia di semiconduttori ternari  $Al_xGa_{1-x}As$  è molto utilizzata per fabbricare dispositivi elettronici ed optoelettronici ad eterogiunzione [1-3].

Al variare di  $x$  ( $0 \div 1$ ), frazione molare di alluminio, si ottengono diversi valori dell'intervallo di banda proibita e quindi diversi semiconduttori.

Dal punto di vista tecnologico è conveniente realizzare le eterogiunzioni solo tra materiali aventi caratteristiche reticolari molto simili affinché le superfici di contatto siano quanto più è possibile non difettive.

L'attuale tecnologia, grazie al perfezionamento raggiunto nelle tecniche di accrescimento epitassiale quali la MBE (Molecular Beam Epitaxy) e la MOCVD (Metal Organic Chemical Vapor Phase Deposition), consente di realizzare dispositivi ad eterostruttura di eccellente qualità anche se i costi sono di gran lunga superiori a quelli della tecnologia planare [4-5].

In questo articolo, dopo una descrizione delle tecniche utilizzate per realizzare le eterostrutture, viene presentata un'analisi comparativa delle proprietà dei materiali utilizzati, al fine di individuare quelli che meglio si adattano ai diversi campi di applicazione.

Infine presentiamo, a titolo di esempio, uno studio di simulazione di un inverter TFET (Tunneling Field Effect Transistor), le cui prestazioni sono confrontate con quelle di un tipico inverter MOS per valutare le differenze nelle applicazioni di energia, telecomunicazioni ed elettronica digitale.

## **2 – Tecniche di fabbricazione delle eterostrutture**

Per realizzare un'eterostruttura è necessario utilizzare due o più strati di materiali diversi che crescono uno sopra l'altro. Questo risultato è ottenuto mediante due tecniche: Molecular Beam epitaxy (MBE) o Metal Organic Chemical Vapor Deposition (MOCVD), descritte nelle sottosezioni seguenti.

### **2.1 – MBE**

MBE è la tecnica di crescita più versatile e consiste nell'utilizzare una camera ad alto vuoto con un substrato semiconduttore. Materiali diversi, come ad esempio Ga, Al, As, vengono immagazzinati e riscaldati in diverse camere o celle dotate di un'apertura.

Il materiale selezionato fuoriesce dalla cella grazie all'apertura e forma un fascio molecolare, che viene diretto in avanti verso il substrato, secondo lo schema riportato in figura 1.

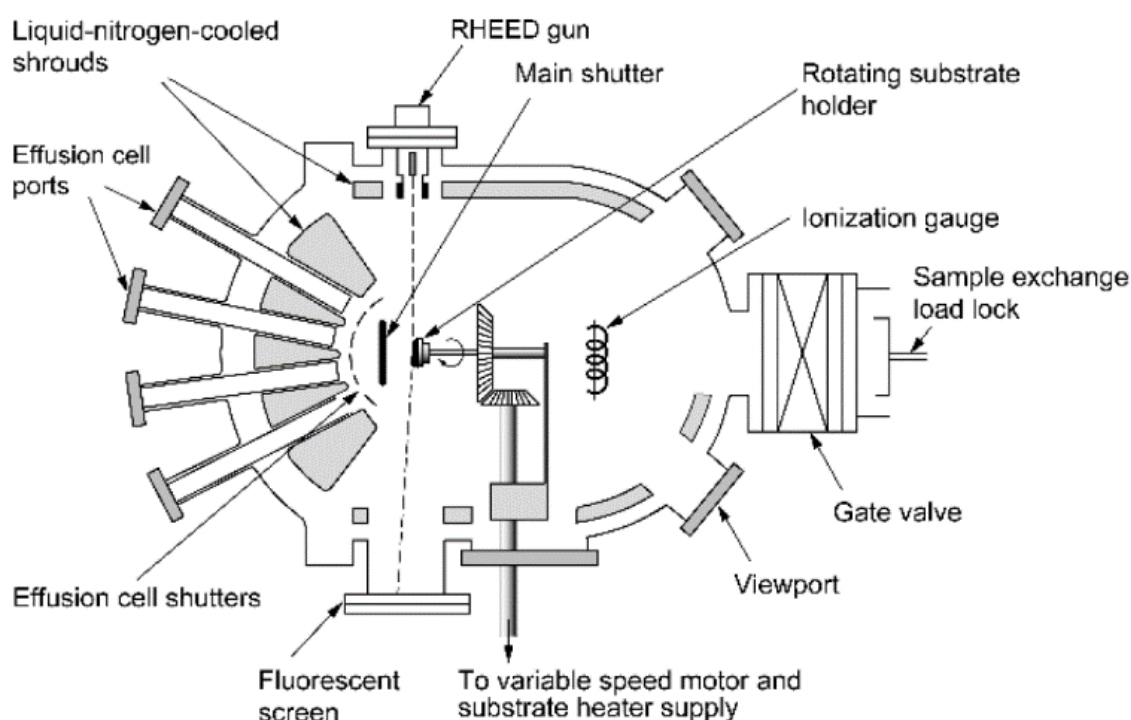


Figura 1 – Schema del processo MBE [2].

È possibile ottenere cristalli di alta qualità selezionando una crescita a bassa temperatura e un tasso di crescita lento per il substrato. La tecnica MBE, utilizzata per la crescita di semiconduttori come AlGaAs, InGaAs, InAlAs, consente il miglior controllo della composizione del materiale e dello spessore dello strato epitassiale.

La limitazione principale è rappresentata dai parametri reticolari dell'elemento selezionato per il processo, poiché devono essere molto simili per ridurre al minimo il numero di difetti nello strato epitassiale [6]. Infatti i difetti morfologici possono incidere sulla levigatezza del wafer semiconduttore e sulle rese di produzione.

Un altro importante limite di questa tecnica è il costo: la MBE è costosa per la produzione in grandi volumi e questo è il motivo per cui la tecnica MOCVD è preferita rispetto alla MBE.

## 2.2 – MOCVD

Il processo MOCVD è una variante della deposizione chimica da fase vapore (CVD), generalmente utilizzata per depositare film e strutture cristalline micro/nano sottili. È possibile ottenere facilmente una modulazione fine, interfacce brusche e un buon livello di controllo del drogante.

Questa tecnica consiste nella reazione chimica mediante gas a pressione moderata, che dipende dagli elementi utilizzati nei processi e da altre caratteristiche, come la velocità di crescita o la concentrazione.

I gas puri vengono iniettati in una camera realizzata con materiali, che non reagiscono agli agenti atmosferici e alle condizioni di temperatura. I gas cadono su un wafer semiconduttore e formano un sottile strato di atomi (vedi figura 2).

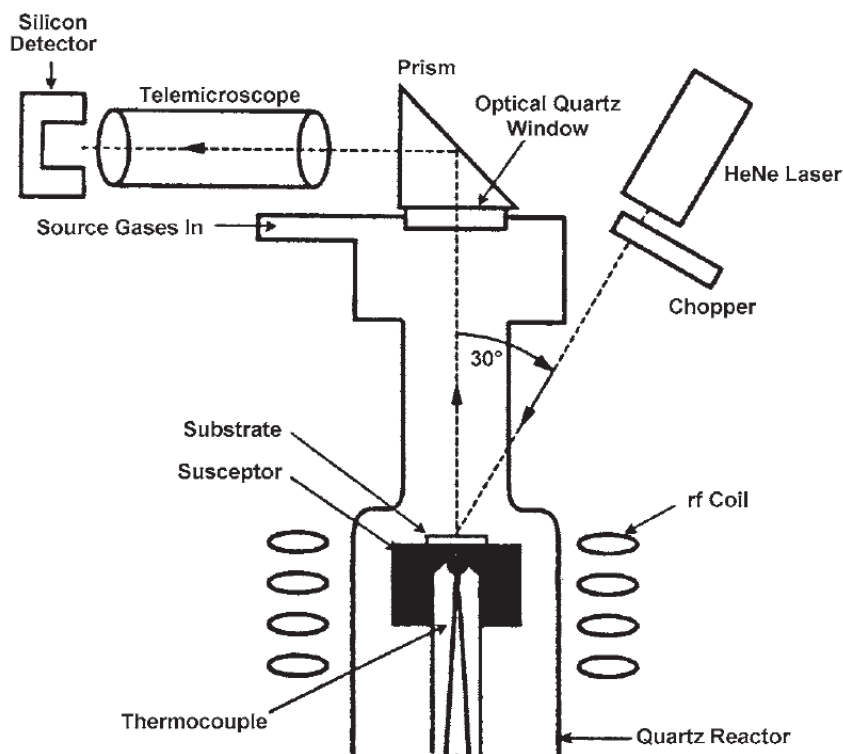


Figura 2 – Schema del processo MOCVD [2].

La tecnica MOCVD offre la possibilità di far crescere materiali, che sono difficili da ottenere con altri processi, ad esempio materiali come il fosforo (P), che ha un'elevata pressione di vapore, o leghe contenenti alluminio (Al), che presentano problemi se combinati col cloruro in fase vapore, a causa dei vincoli termodinamici [7].

Il principale campo di applicazione di questa tecnica è nell'optoelettronica, per dispositivi che emettono luce nella gamma da 540 nm a 1600 nm, laser e fotorivelatori. In questo campo vengono utilizzati substrati di GaAs o InP, che richiedono un sottile strato drogato realizzato con una combinazione di In, Ga, Al, As e P.

Il principale svantaggio della tecnica MOCVD sta nella precisione del processo. I dispositivi elettronici e alcuni fotorivelatori richiedono un elevato livello di precisione nell'uniformità intra e inter-wafer durante il processo, che si può ottenere solo con la tecnica MBE.

### **3 – Materiali usati per le eterostrutture**

#### **3.1 – Diagramma delle bande di energia per un'eterogiunzione ideale: una panoramica**

In [2-3] e [8] abbiamo già mostrato le regole per costruire i diagrammi a bande di energia di una eterogiunzione ideale (cioè con un numero trascurabile di trappole e centri di generazione-ricombinazione all'interfaccia) prima e dopo la formazione della giunzione, e pertanto consigliamo al lettore di consultare questi riferimenti.

L'ipotesi di idealità è verificata per semiconduttori con una bassa differenza relativa tra le costanti reticolari. Inoltre in [2] e [8] abbiamo dimostrato che le barriere potenziali che elettroni e lacune devono superare per muoversi sono diverse e questa è la proprietà principale delle eterostrutture, che ha portato alla realizzazione del transistor bipolare a eterogiunzione (HBT) [8].

### 3.2 – Confronto tra le proprietà dei materiali

Per soddisfare requisiti particolari per diverse applicazioni, la Tabella 1 mostra alcuni dei materiali più utilizzati per applicazioni ottiche ed elettroniche [2].

**Tabella 1.** Confronto tra i materiali a seconda del tipo di applicazione.

Application	Requirements	Substrate Materials Doping	Attributes of the materials
Telecommunication lasers	High optical efficiency, High doping and control of the p-n junction	InP/InGaAsP, InGaAs InP Zn(p) Si or S (n)	High luminescence and Controlled lattice match
Tlc fiber pump lasers	High optical efficiency, High doping and control of the p-n junction	GaAs/AlGaAs InGaAs InGaP Zn or Mg (p) Si(n)	High luminescence, Interfacial abruptness and lattice match
High speed Cd lasers for storage	High optical efficiency, High doping and control of the p-n junction	GaAs/AlGaAs GaAs Zn (p) Si(n)	High luminescence, Interfacial abruptness and lattice match
PIN photodiodes at 900-1600nm	Low dark current High responsivity	InP/InGaAs	High purity
Far infrared photodetectors	High responsivity, Low dark current	GaAs/HgCdTe ZnTe	Low background doping Bandgap control
Solar cell	High conversion efficiency	GaAs/AlGaAs InGaP, GaAs	Low deep level concertation
Heterostructure transistor	Uniform controlled gain	GaAs/AlGaAs InGaP GaAs	Precise, uniform and controlled doping at high levels

La Tabella 2 mostra la differenza in termini di offset della banda di valenza nelle eterostrutture, misurata in eV.

**Tabella 2.** Banda di valenza in diverse eterostrutture.

Heterojunction material	$\Delta E_v$ (eV)
GaAs/ $Al_xGa_{1-x}As$	0.46x
GaAs/AlAs	0.31
GaAs/InAs	0.35
AlAs/ $Al_{0.37}Ga_{0.63}As$	0.34
AlAs/InAs	0.35
InP/ $Ga_{0.47}In_{0.53}As$	0.32
GaAs/AlSb	0.40
GaSb/ $InAs_{0.95}Sb_{0.05}$	0.67
CdTe/HgTe	0.34
CdTe/ ZnTe	0.40
ZnTe/HgTe	0.30
GaN/AlN	$0.7 \pm 0.24$
AlN/GaN	$0.57 \pm 0.22$
InN/AlN	$1.81 \pm 0.2$
InN/GaN	1.051
$Al_{0.48}In_{0.52}As/Ga_{0.47}In_{0.47}As$	0.75
GaSb/InAs	0.51
AlN/InN	$1.32 \pm 0.14$
$Ga_{0.5}In_{0.5}P/GaAs$	0.32

Come si può vedere, eterostrutture uguali possono avere valori di offset diversi.

Per quanto riguarda GaAs/ $Al_xGa_{1-x}As$ , come mostrato nella Tabella 1, molti dispositivi sono realizzati con questa eterostruttura. x è variabile da 0 a 1 e, come già detto, rappresenta la frazione molare dell'Alluminio, che ha conseguenza sull'intervallo di banda proibita del nuovo materiale.

L'allineamento delle bande ha un ruolo molto importante sulle caratteristiche elettriche del materiale e ne esistono di molti tipi.

La determinazione dell'allineamento delle bande non è un compito semplice: in un primo momento vengono utilizzati modelli teorici e sperimentali e il secondo passo è creare l'eterostruttura e misurare l'effettivo allineamento delle bande.

La figura 3 mostra alcuni allineamenti di bande di diverso tipo, determinati sperimentalmente, allineamenti a cavallo, sfalsati e di gap interrotti.

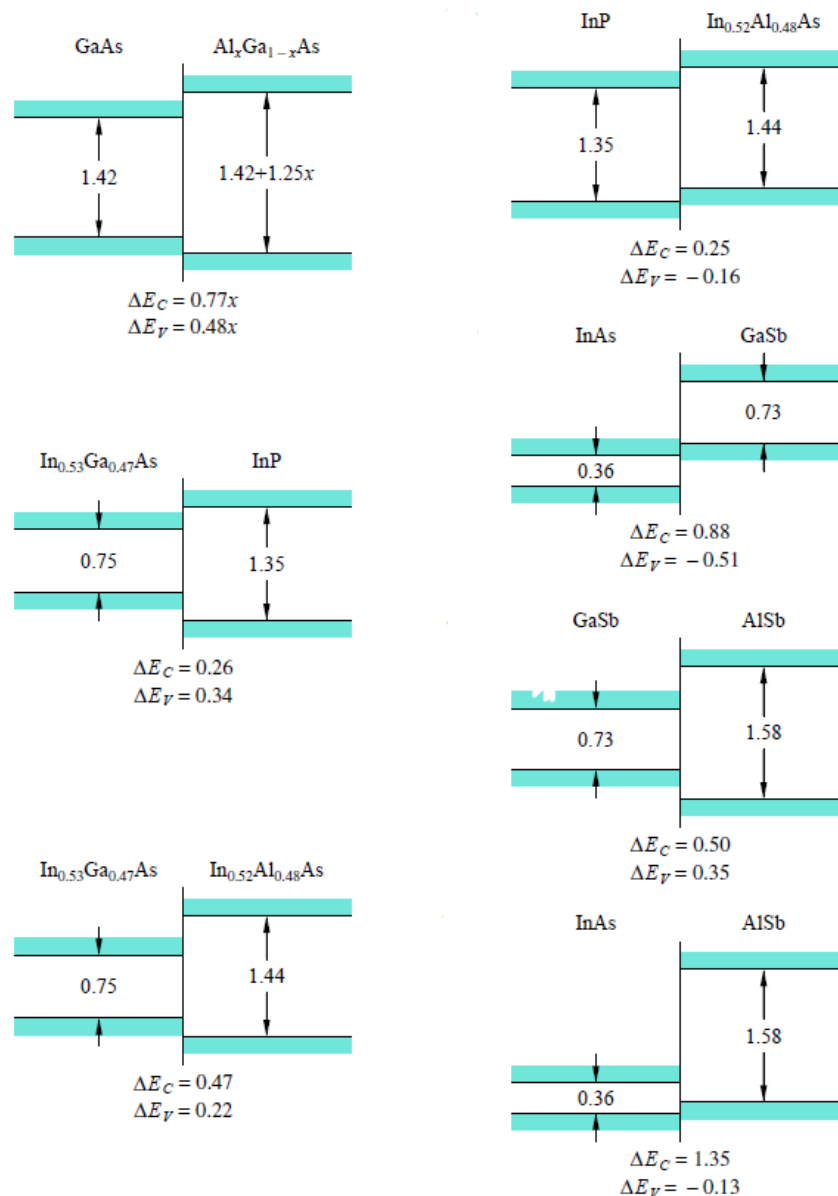


Figura 3 – Diversi tipi di allineamenti delle bande.

Per quanto riguarda il GaN, è un semiconduttore composto da elementi III-V con un elevato Energy Gap pari a 3,4 eV e quindi è stato utilizzato in optoelettronica. Attualmente viene utilizzato anche in dispositivi elettronici che richiedono banda larga ed elevata potenza perché rispetto al GaAs, il GaN offre maggiore resistenza alle alte temperature e alle gravose condizioni di lavoro [9].

Con riferimento a InAs e GaSb, la loro formazione di bande spezzate rende possibile creare eterostrutture sia semiconduttrici che semimetalliche con bande proibite virtuali sintonizzabili. Finché l'energia di confinamento dei portatori nel potenziale elettrostatico effettivo dell'eterostruttura è piccola, gli elettroni possono abbassare la loro energia cadendo dalla banda di valenza del GaSb alla banda di conduzione dell'InAs fino a quando il livello di Fermi  $E_F$  è uguale in entrambi gli strati ed il sistema è in equilibrio, come mostrato in figura 4 [2].

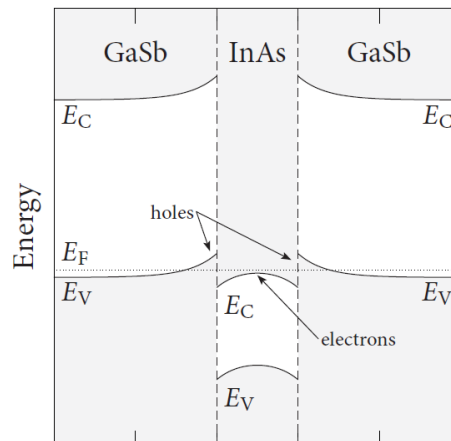


Figura 4 – Allineamenti di banda in GaSb-InAs [2].

### 3.3 – Esempio di progetto di una porta NOT basata su TFET

La figura 5 mostra la struttura del TFET [10], la cui analisi è effettuata tramite il modello TFET del Massachusetts Institute of Technology (MIT) [11].

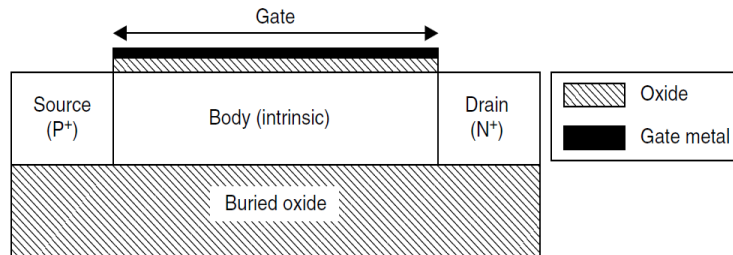


Figura 5 – Struttura del TFET.

Il principio di base del TFET è l'effetto tunnel [1-2], cioè la presenza di elettroni con una certa energia  $E$  sopra una barriera potenziale con energia più alta, come mostrato in figura 6.

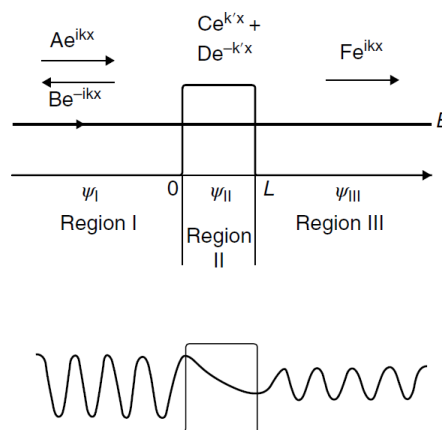


Figura 6 – Illustrazione dell'effetto tunnel.

Affinché si verifichi questo effetto, è necessario introdurre una struttura p-i-n (tipo p, intrinseca, tipo n), come mostrato in figura 7, in cui il punto verde sul canale rappresenta gli stati trap.

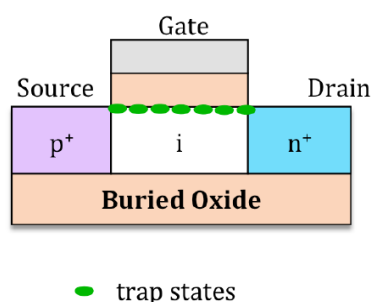


Figura 7 – Struttura del TFET del MIT [11].

Grazie a questa struttura, il diagramma a bande assume una configurazione adeguata all'effetto tunnel che necessita cioè di un potenziamento per ottenere un risultato utile.

Con una condizione di gate senza polarizzazione, i portatori maggioritari del canale vedono un'elevata barriera potenziale e la corrente di drain è uguale alla dispersione con polarizzazione inversa tipica delle strutture p-i-n.

Con una polarizzazione di gate positiva, la banda energetica nella regione del canale diminuisce con la formazione di uno strato di inversione di elettroni esteso dal drain alla source.

Infine, aumentando la polarizzazione positiva del gate, i livelli di Fermi diminuiscono sotto il drain e si forma il nuovo canale di inversione. Questa condizione porta alla creazione di un percorso tunnel per gli elettroni, se la "finestra" nella giunzione sorgente-canale è sufficientemente grande [1-2].

Grazie a questa condizione, questo dispositivo migliora le prestazioni dei circuiti digitali a bassa potenza rispetto a quelli che utilizzano dispositivi MOSFET convenzionali [1-2] poiché il TFET può raggiungere una corrente di drain più elevata con tensioni di gate inferiori.

A titolo di esempio, simuliamo un inverter TFET (figura 8), ottenuto con la tecnica MBE, utilizzando il software ADS [12] e confrontando le sue prestazioni con quelle di un inverter MOSFET.

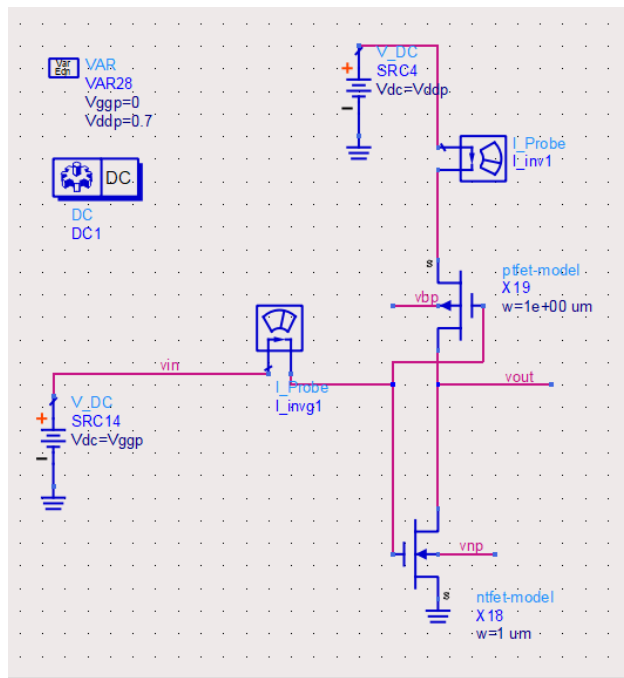


Figura 8 – Schema dell'inverter TFET.

Le caratteristiche DC simulate per il TFET e per il MOSFET sono riportate rispettivamente nelle figure 9 e 10.

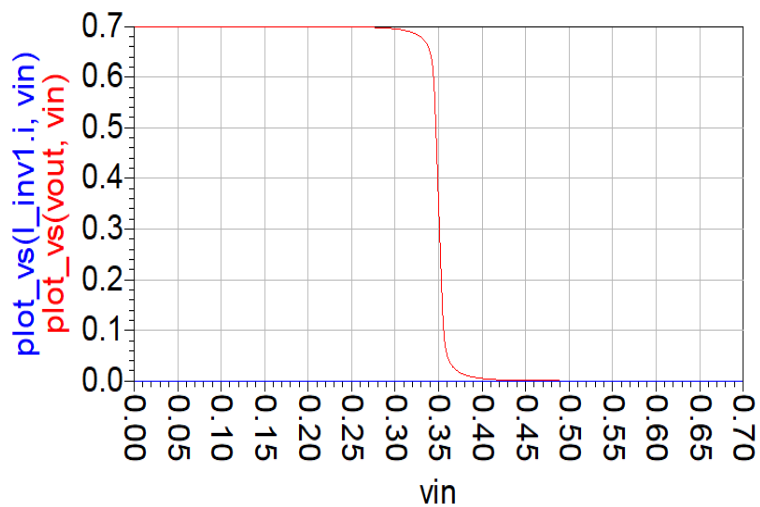


Figura 9 – Caratteristiche dell'inverter TFET.

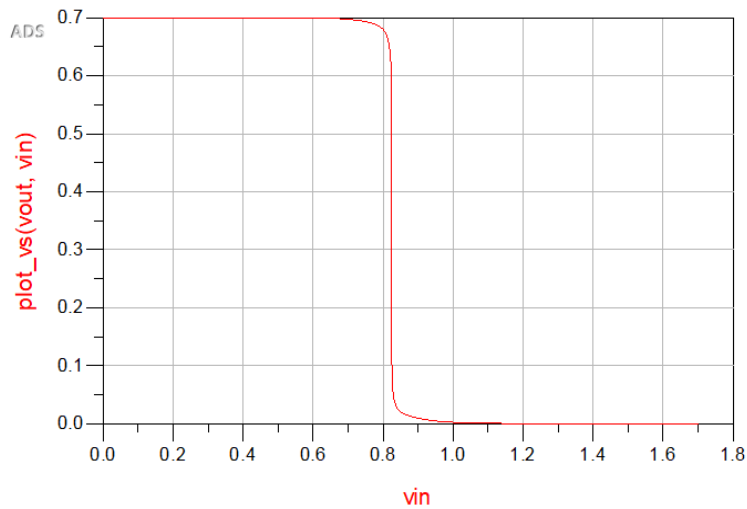


Figura 10 – Caratteristiche dell'inverter MOSFET.

Come si può facilmente vedere dalla figura 9, la caratteristica verticale per inverter TFET è a 0.35 V, mentre per inverter MOSFET (figura 10), nella stessa condizione di lavoro, abbiamo ottenuto 0.8 V, con conseguente aumento dell'immunità al rumore per inverter MOSFET. Per quanto riguarda l'analisi transitoria, l'uscita per l'inverter TFET, riportata in figura 11, presenta un overshoot (figura 12) e una propagazione del ritardo.

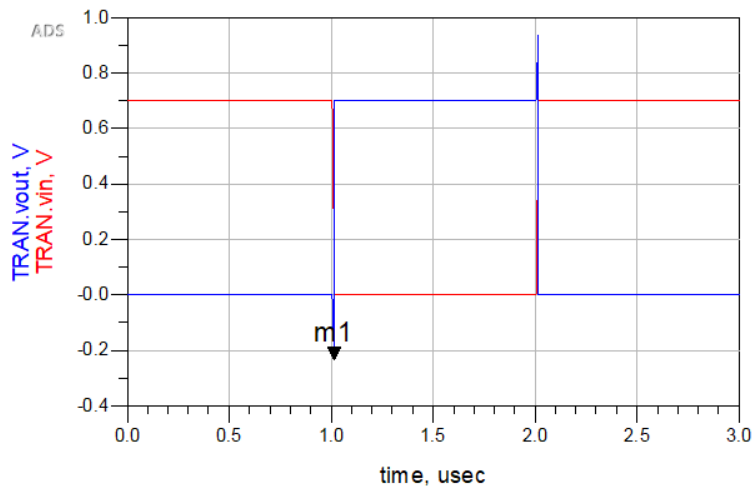


Figura 11 – Analisi transitoria del circuito di figura 8.

## Analisi comparativa delle proprietà dei materiali per eterostrutture

Comparative analysis of material properties for heterostructures

R. Marani, A.G. Perri

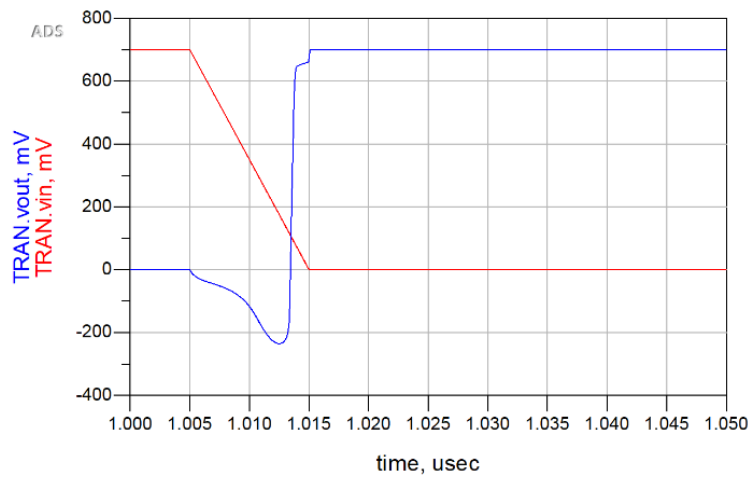


Figura 12 – Overshoot sulla tensione di uscita.

Un confronto con un inverter MOS, il cui schema circuitale è riportato in figura 13, mostra che a 100 MHz ci sono problemi al livello inferiore dell'uscita, come mostrato in figura 14.

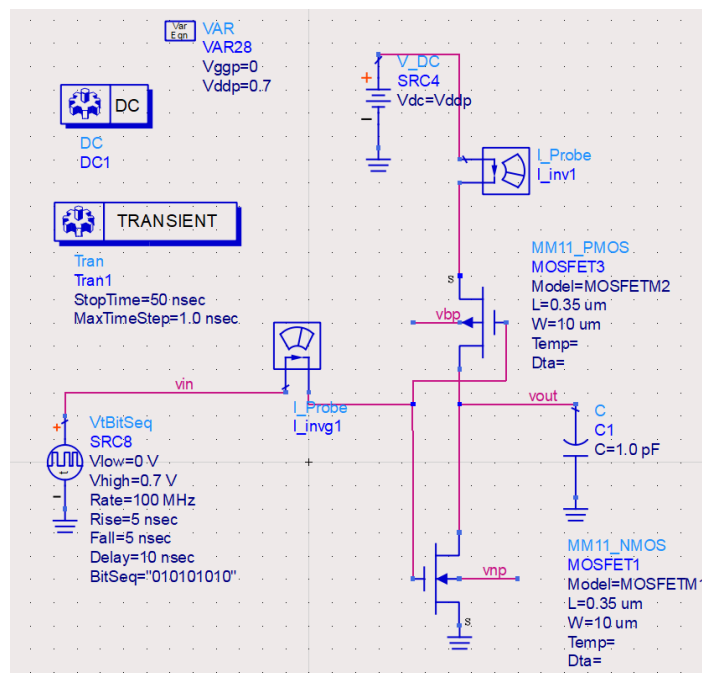


Figura 13 – Schema dell'inverter MOS.

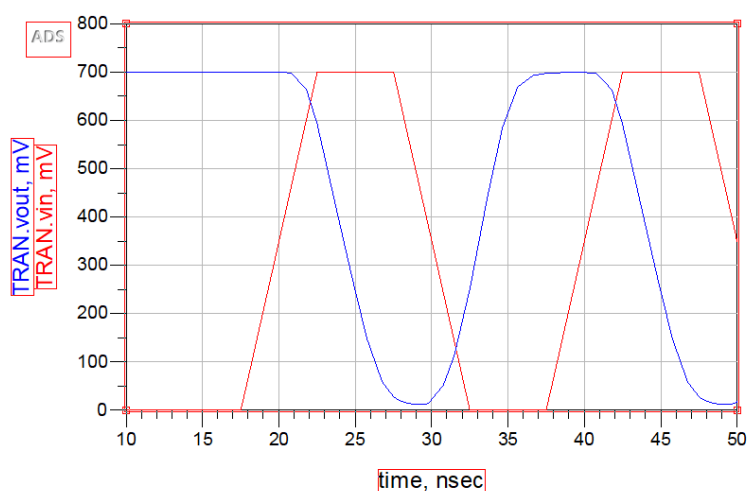


Figura 14 – Analisi transitoria per l’inverter MOS: ingresso in rosso, uscita in blu.

Questa situazione diventa più critica in presenza di interferenze elettromagnetiche o di altro tipo di disturbo, poiché una logica 0 può essere confusa con una logica 1, con conseguente aumento del margine di rumore per l’inverter realizzato in tecnologia MOS.

#### 4 – Conclusioni

In questo articolo abbiamo analizzato dapprima le principali tecniche utilizzate per realizzare le eterostrutture. Successivamente è stata presentata un'analisi comparativa delle proprietà dei materiali utilizzati, al fine di individuare quelli che meglio si adattano ai diversi campi di applicazione.

Infine, a titolo di esempio, abbiamo presentato uno studio di simulazione di un inverter TFET, le cui prestazioni sono state confrontate con quelle di un inverter MOS.

In definitiva possiamo dire che, grazie al miglioramento delle moderne tecnologie di crescita, materiali che inizialmente erano difficili e costosi da ottenere, sono diventati più economici ed efficienti e quindi attualmente utilizzati per la realizzazione di dispositivi elettronici ed optoelettronici ad eterostruttura.

## 5 - Bibliografia

- [1] Perri, A. G., “Fondamenti di Dispositivi Elettronici”, Ed. Progedit, II Edizione, ISBN 978-88-6194-080-2, 2016.
- [2] Perri, A. G., “Dispositivi Elettronici Avanzati”, Ed. Progedit, II Edizione, ISBN 978-88-6194-081-9, 2017.
- [3] Marani, R., Perri, A. G., “Analisi e Progetto di Dispositivi Elettronici ad Eterostruttura”, *La Comunicazione - Note, Recensioni e Notizie*, pp. 257-272, 2016.
- [4] Campbell, S. A., “The Science and Engineering of Microelectronic Fabrication”, Oxford University Press, ISBN 978-0195136050, 2001.
- [5] May, G. S., Sze, S. M., “Fundamentals of Semiconductor Fabrication”, John Wiley and Sons, ISBN 978-0-471-23279-7, 2004.
- [6] Roblin, P., Rohdin, H., “High speed Heterostructures Devices: from device concept to circuit design”, Cambridge University Press, ISBN 978-05-1175-459-3, 2016.
- [7] Juergensen, H., “MOCVD technology in research, development and mass production”, *Materials Science in Semiconductor Processing*, vol. 4, pp. 467-474, 2001.
- [8] Marani, R., Perri, A. G., “A Simulation Study of Silicon-Germanium Heterostructure Devices”, *International Journal of Advances in Engineering & Technology (IJAET)*, vol. 15, pp. 27-34, 2022.
- [9] Prasertsuk, K. *et al.*, “MOVPE growth of N-polar GaN/Al<sub>x</sub>Ga<sub>1-x</sub>N/GaN heterostructure on small off-cut substrate for flat interface”, *2016 Compound Semiconductor Week (CSW)*, Toyama, Japan, pp. 1-2, 2016.
- [10] Jagadesh, K. M., Pratyush, P., Rajat, V., “Tunnel field-effect transistors TFET modelling and simulations”, Ed. Wiley, ISBN:978-1-119-24629-9, 2016.
- [11] Sajjad, R. N., Radhakrishna, U., Antoniadis, D., “MIT TFET compact model including the impacts of non-idealities 1.0.0”, *NanoHub Publications*, doi:10.4231/D3XW47X6W, 2017.
- [12] Verilog-AMS language reference manual, Version 2.2., 2014.